

Digitaltechnik Aufgaben Teil 3

Aufgabe 1

Eine Zahl a ist mit 8 Bit vorzeichenlos (8 bit unsigned) dargestellt. Die Zahl y soll die Zahl a multipliziert mit 4 sein ($y = a * 4_D$).

- Wie viele Bit benötigen Sie für die Darstellung von y ?
- Geben Sie die vollständige Schaltung an in der die einzelnen Bit von a und y dargestellt sind.

Aufgabe 2

Multiplizieren Sie die beiden Zahlen 14_H und 37_H im Binärsystem und geben Sie das Ergebnis in Binär- und Hexadezimaldarstellung an.

Aufgabe 3

Ein Multiplizierer kann zwei 8 Bit Zahlen kombinatorisch multiplizieren. Dieser Multiplizierer benötigt für diese Funktion 500 Gatter. Der Multiplizierer soll jetzt erweitert werden und zwei 16 Bit Zahlen multiplizieren. Schätzen Sie die Anzahl der benötigten Gatter für den neuen Multiplizierer ab.

Aufgabe 4

Ein 5 Bit Addierer addiert zwei Zahlen a und b , die in einer vorzeichenbehafteten 2er Komplement Darstellung gegeben sind. Das Ergebnis der Addition y hat wieder eine Bitbreite von 5 Bit. Geben Sie das Ergebnis der Addition als Dezimalzahl an.

- $y = 8_D + 3_D$
- $y = 7_D + 9_D$
- $y = -4_D + 9_D$
- $y = -4_H + -A_H$
- $y = -9_H + -8_H$
- $y = -11_D + -13_D$

Aufgabe 5

Beweisen Sie, dass das Assoziativgesetz für die xor Verknüpfung gilt.

Aufgabe 6

Bilden Sie die Funktion $y = a + b$ nur mit NAND Gattern nach.

Aufgabe 7

Entwerfen Sie eine Schaltung, die zwei 10 Bit Zahlen subtrahiert: $y = a - b$. Die Zahlen sind im vorzeichenbehafteten 2er Komplement dargestellt. Das Ergebnis soll auch als 10 Bit Zahl im 2er Komplement dargestellt werden.

Aufgabe 8

Ein gegebener Algorithmus zur digitalen Signalverarbeitung führt bei einer gewählten Bitbreite zur Zahlendarstellung bei einer Addition $y = a + b$ regelmäßig zu Überläufen. Die gewählte Bitbreite ist

10 Bit und die Zahlendarstellung vorzeichenbehaftet im 2er Komplement. Es treten im Algorithmus beispielsweise Zahlenkombinationen $a = +318_D$ und $b = +219_D$ auf. Das Ergebnis einer Standardaddition wäre in diesem Fall $-1024_D + 318_D + 219_D = -487_D$ statt des erwarteten Wertes von $+537_D$.

a) Entwerfen Sie eine Additionsschaltung, bei der bei einem Überlauf das Ergebnis der Addition auf den maximal darstellbaren Wert gekappt wird. In diesem Beispiel sollte das Ergebnis der Addition $+318_D + 219_D = +511_D$ ergeben. Bei einem Überlauf im negativen Zahlenbereich soll das Ergebnis auch analog auf -512_D gekappt werden.

b) Vergleichen Sie Ihre Lösung mit der Alternative, die Bitbreite von 10 auf 11 Bit zu erhöhen im Hinblick auf die Anzahl der erforderlichen Gatter.