

Aufgabe 1

Die in Abbildung 1 dargestellte Schaltung ist aus Oder Gattern aufgebaut. Jedes dieser Gatter hat eine Verzögerungszeit von $t_{pd} = 5ns$. Die Verzögerung ist für steigende und fallende Signale gleich ($t_{pdlh} = t_{pdhl}$).

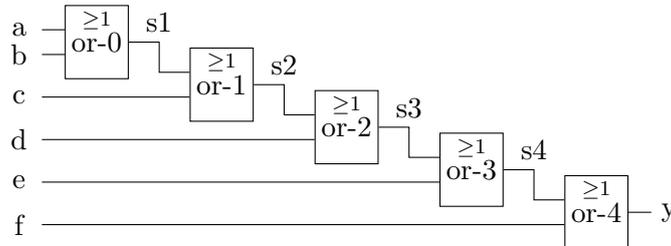


Abbildung 1: Verschaltung von fünf ODER Gattern

- Zeichnen Sie den Timingpfad mit der maximalen Verzögerung in die Schaltung ein.
- Zeichnen Sie den Timingpfad mit der minimalen Verzögerung in die Schaltung ein.
- Geben Sie die maximale und die minimale Verzögerungszeit an.
- In Abbildung 2 ist ein beispielhafter Verlauf der Eingangssignale dargestellt. Zeichnen Sie den zeitlichen Verlauf des Signals am Ausgang y für die Schaltung gemäß Abbildung 1 in die Abbildung 2 ein. Das Signal y_n wird für die Aufgabe f) benötigt.

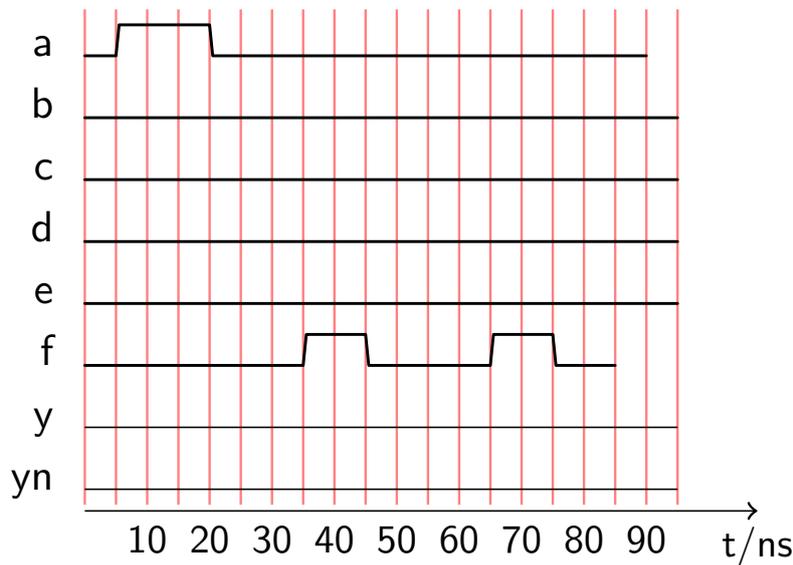


Abbildung 2: Zeitverlauf der Eingangssignale

- Ändern Sie die Verschaltung der Gatter derart, dass die Funktion der Schaltung sich nicht ändert, aber die maximale Verzögerungszeit minimiert wird. Geben Sie für die neue Schaltung die maximale und die minimale Verzögerungszeit an. Beweisen Sie mit Hilfe der booleschen Theoreme, dass die Funktion der Schaltung gleich geblieben ist.
- Zeichnen Sie den zeitlichen Verlauf des Signals am Ausgang y der neuen Schaltung aus Aufgabe e) in Abbildung 2 ein.

Aufgabe 2

In Abbildung 3 ist eine sequentielle Schaltung mit Flipflops und kombinatorischen Elementen dargestellt.

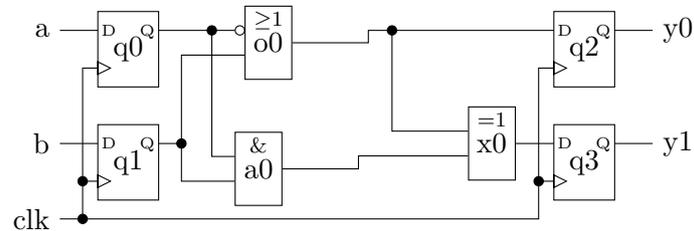


Abbildung 3: Schaltung mit Flipflops und Kombinatorik

Für diese Schaltung soll das Timingverhalten untersucht werden. Die folgenden Timingparameter beschreiben die Schaltungskomponenten:

$$t_{pd} = 0.9 \text{ ns}, t_{co} = 0.5 \text{ ns}, t_{su} = 0.7 \text{ ns}, t_h = 2 \text{ ns}$$

Die Verzögerungszeit ist für alle kombinatorischen Gatter gleich und unabhängig davon, ob das Ausgangssignal steigt oder fällt. Der Takt wird als ideal betrachtet und kommt gleichzeitig an den Takteingängen von allen Flipflops an. Die Taktfrequenz beträgt 100 MHz. Die Eingänge a und b der Schaltung sind synchron zum Takt. Der Timingverhalten der Signale an den Eingängen a und b soll nicht betrachtet werden.

- Der Taktfrequenz der Schaltung soll erhöht werden. Berechnen Sie die maximale Taktfrequenz mit der die Schaltung betrieben werden kann.
- Prüfen Sie, ob es zu Timingverletzungen im Betrieb der Schaltung kommen kann. Welche Timingbedingung ist verletzt?
- Geben Sie eine Signalfolge für die Eingänge a und b an, bei der das Timingproblem an einem der Ausgänge sichtbar wird. Zeichnen Sie ein Timingdiagramm, in dem die Zusammenhänge deutlich werden. Welche Folgen hat die Timingverletzung?
- Verändern und erweitern Sie den kombinatorischen Teil der Schaltung mit Invertern um das Timingproblem zu lösen. Ein Inverter hat eine Verzögerungszeit von $t_{pd} = 0.4 \text{ ns}$. Die Taktleitung soll unverändert bleiben.
- Wie groß ist die maximale Taktfrequenz der veränderten Schaltung?